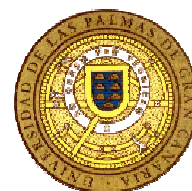




Escuela Técnica Superior de Ingenieros de  
Telecomunicación

Universidad de Las Palmas de Gran Canaria



# Sistemas Analógicos

Curso 2005/2006

## **Práctica de PLLs**

**Himar Alonso Díaz  
Juan Carlos Molina Rojas**

# 1 Introducción

Los *bucles enganchados en fase* o PLL son bloques básicos utilizados en la mayoría de los sistemas de generación de frecuencia, así como en múltiples sistemas de comunicación.

El objetivo de la presente práctica es que el alumno comprenda el funcionamiento de los PLL, así como las relaciones básicas que afectan a su operación. Además, se persigue que comprendan los aspectos prácticos de su desarrollo. También se pretende mostrar el 4046, ya que este dispositivo es el que más popularmente se utiliza para construir PLLs discretos.

La presente práctica consistirá en el desarrollo de un multiplicador de frecuencia por 16, para obtener 160KHz a partir de una referencia de 10KHz, obtenida desde un generador de funciones. El objetivo es realizar todo el diseño a partir las especificaciones.

## 2 Estructura del Multiplicador de Frecuencia

La Figura 1 muestra la estructura del *Multiplicador de Frecuencia* que se va a construir en la práctica. En este esquema, se utilizará como *detector fase-frecuencia* el incluido en el 4046 (tipo II) y también el VCO que incluye este dispositivo. Se utilizará un filtro pasivo tipo lead-lag, y el divisor por 16 se construirá en base a un 74HC93. Todos los dispositivos irán alimentados entre 0 y 5 voltios

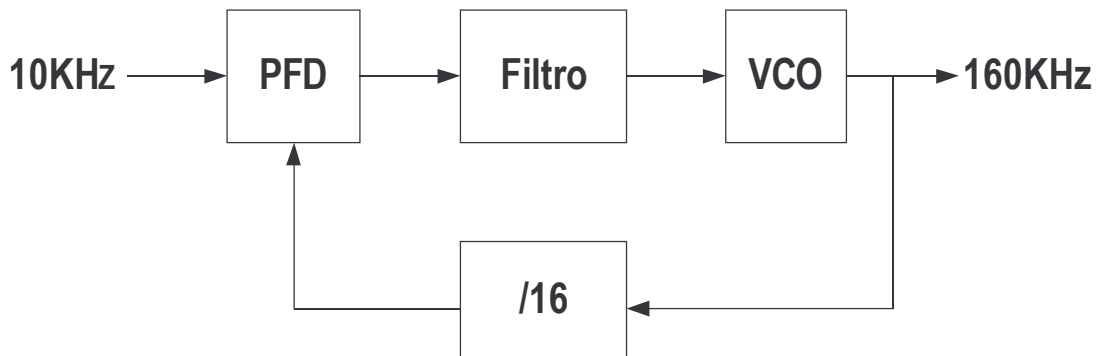


Figura 1 Estructura del multiplicador de frecuencia

El VCO se monta tal como se muestra en la Figura 2. Además, para que el VCO oscile debe estar habilitado, lo cual se hace conectando la entrada INH (patilla 5) a masa.

El detector de fase se toma de la salida 13 (PC2<sub>out</sub>) del 4046, mientras que la señal de referencia, que se toma de la salida TTL del generador de funciones entra en la patilla 14 (PCA<sub>in</sub>). La salida del divisor de frecuencia entra en la patilla 3 (PCB<sub>in</sub>), que es la entrada de realimentación del detector de fase.

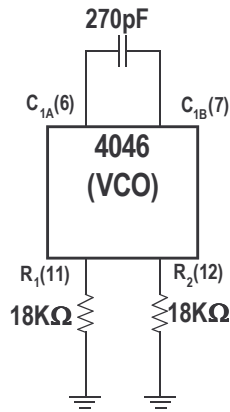


Figura 2 Esquema del VCO

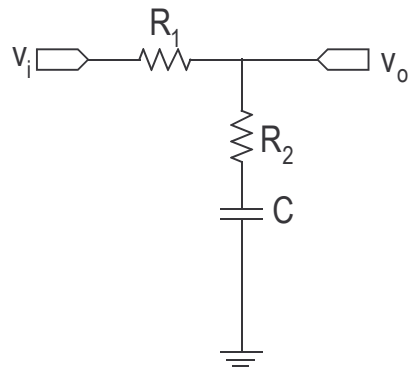


Figura 3 Filtro de lazo lead-lag

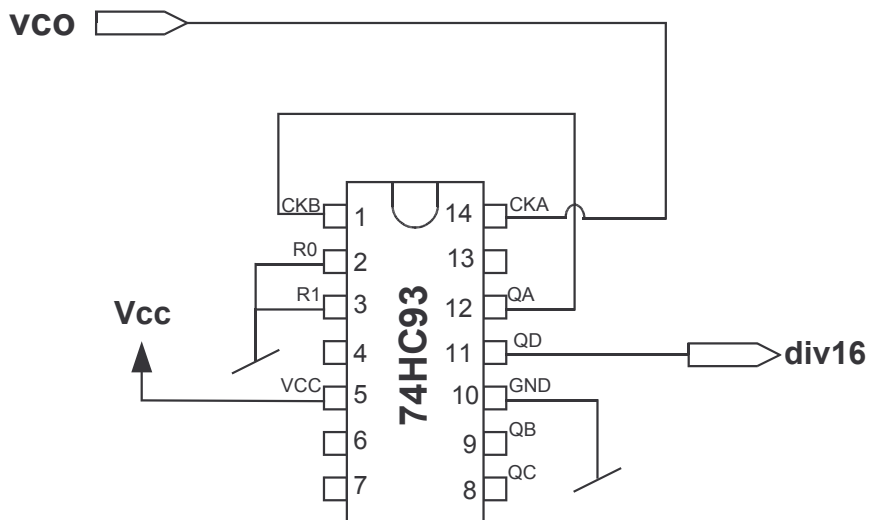


Figura 4 Conexión del divisor por 16

El filtro de lazo tipo lead-lag se muestra en la Figura 3. Los componentes deberán ser calculados y ajustados por los alumnos en función de los resultados de las medidas. La entrada estará tomada de la salida del detector

fase frecuencia incluido en 4046 (patilla 13) y atacará al control de VCO (patilla 8 del 4046).

El divisor de frecuencia está compuesto por un contador asíncrono por 16 basado en el 74HC93, conectado según está mostrado en la Figura 4. La entrada de este divisor de frecuencia será la salida del VCO (patilla 9 del 4046).

### 3 Diseño del PLL

Vamos a seguir la ruta de diseño del PLL para verificar ajustar los componentes de este. Para ello, inicialmente calcularemos los parámetros del  $K_p$  y  $K_v$ , y a partir de ahí ajustaremos el filtro. Para ello el alumno deberá ir rellenando los siguientes recuadros.

#### 3.1 Cálculo de $K_v$

Para ello mediremos los parámetros del VCO con diferentes tensiones de control. Rellene el siguiente recuadro con las medidas obtenidas:

Tensión de control	Frecuencia medida
0V	181,7 KHz
5V	281,7 KHz

A partir de estos valores calcule  $K_v$ :

$K_v$	$125,66 \cdot 10^3$
-------	---------------------

#### 3.2 Cálculo de $K_p$

El valor de  $K_p$  se puede obtener directamente a partir de las características del detector de fase. Deduzca por tanto  $K_p$ :

$K_p$	$397,88 \cdot 10^{-3}$
-------	------------------------

#### 3.3 Elección de $\omega_o$ y $\xi$

A partir de los datos obtenidos escoja los valores de  $\omega_o$  y  $\xi$ :

$\omega_0$	1Krad/s
$\xi$	0,7

### 3.4 Cálculo de los componentes del filtro

A partir de los datos anteriores, y sabiendo que  $N=16$ , podemos calcular los valores de los componentes del filtro de lazo:

$R_1$	20K $\Omega$
$R_2$	10K $\Omega$
C	100nF

## 4 Montaje del PLL

Monte el circuito con los valores obtenidos y verifique la correcta operación del PLL. Rellene el recuadro con los valores de las medidas que se piden:

Frecuencia de entrada nominal	15KHz
Frecuencia de salida nominal	240KHz
Nivel de continua en VCOin	2,90V
Rizado en VCOin	0,8V
Máxima frecuencia de salida	284,8KHz
Mínima frecuencia de salida	185,6KHz

**Nota:** Las especificaciones fueron modificadas para generar una señal de 240KHz, partiendo de una de 15KHz.